

## 第十三回 先端ロジック CMOS の技術動向と 3 次元集積技術

高木 信一（東京大学）

2022年10月8日（土）9：00～

モデレータ 中塚 理

### 概要

東京大学工学系研究科 高木信一先生に「先端ロジック CMOS の技術動向と 3 次元集積技術」と題して、3 次元 CMOS 技術やシリコン基板上的異種材料集積技術を中心に、先端ロジック用の CMOS デバイスプロセスに関して最先端技術ならびに今後の動向についてご講義頂いた。

背景として、昨今の IoT, AI の拡がりとともに半導体技術は今後も成長を続ける分野である。一方でムーアの法則の飽和が近づくことが言われているが、現状では毎年集積度が向上して技術開発が進んでおりいまだ飽和に至っていない。技術ノード 5 nm のチップの量産化を達成した TSMC (台湾) を先頭に、サムソン (韓国) やインテル (米国) が世界をリードしている。一方で、日本は 90 年代以降シェアを落としており、近年ではこれを打開するべく日本政府も熊本に TSMC の生産工場を誘致するなど動きを見せている。

実際の技術開発としては、マイクロプロセッサ等で必要とされる最も微細かつ高性能なトランジスタ構造として現在の FinFET からナノシート構造への変換、さらに縦積み (Stacked CMOS) へと変わっていくであろう。現在、既にナノシート自身の極薄膜化 (プラズマエッチング) ほか、プロセス技術と設計技術を融合することで微細化が進められている。さらに今後は、これらのデバイス微細化に加えて、配線技術などチップ 3D 積層化技術を各部門で平行に進めることでシステム全体の性能を向上することが想定されている。すなわち、半導体の重層的な技術階層全体を見直してシステム、回路、実装、デバイスプロセス、材料、これらを一気通貫する最適化が今後さらに進むことが予想される。

加えて先端ロジック 3 次元 CMOS の実現に向けた今後のナノシート技術の動向についてもご紹介頂いた。まもなく NMOS と PMOS が縦積みされた CFET 構造が実用化されると言われており、そのためには高アスペクト比エッチングを可能とする高精度のプラズマプロセス技術の重要性が一層高まることは間違いない。Si 基板上的異種材料集積化は、Si プロセス・デバイスの新たな応用の開拓に繋がる可能性があるほか、基板貼り合わせ技術を利用した Si 基板上的極薄 III-V/Ge MOSFET は将来世代の CMOS 技術として期待できる。

(記：橋爪 博司)

