

第二十二回 世界が注目する日本の3Dパッケージ技術！ 最先端半導体開発に対する世界の取り組み

菅沼 克昭 大阪大学

2023年7月8日（土）9：00～

モデレータ 石川 健治

概要

世界の大規模な半導体産業への投資について異次元の半導体支援策が各国・地域から続々と打ち出されている。米国ではパッケージ技術やチップ開発はこれまでアジアに頼りっぱなしになっていたことから、自国で研究開発するための多額の補助金を投じる法案「CHIP and Science ACT」が成立された。また、産業界への支援の開始や大学からではなく小学校からの半導体教育を開始し人材育成も活発化している。本講座では先端半導体パッケージ技術の位置付けをご説明いただき、チップレット集積や3Dパッケージ技術についての世界の動向についてご紹介いただいた。

半導体微細化は長年 Moore の法則に従っており、半導体構造の3D化などにより微細化の定義が難しくなっているが、これまでにいくつものゲームチェンジにより微細化が進められている。1つ例を挙げると、2018年にTSMC（台湾積体回路製造）がロジック半導体のチップレット実装を実現したことである。EUV技術に加えこのチップレット実装技術によりTSMCは世界トップの半導体製造メーカーになった。実は日本イメージセンサーメーカーでは当時すでにチップレット実装が実用化されていた。

先端半導体のデザインからパッケージまでの工程はおおよそ1.半導体設計と前工程、2.微細加工と集積化、3.パッケージ化（後工程）にわけることができる。半導体設計はアメリカが圧倒しているものの、中工程といわれることがあるダイ集積・3次元化は、1990年代では日本が先行していたが、現在ではアジアが先行している。後工程であるパッケージは現在も日本が先行しているものの産業主導で進んでおり学問が未確立である。また、パッケージ技術は世界から注目を浴びており投資分野としても高く評価されている。つまり、日本は、パッケージ技術は世界に誇れるものの、海外と比較しファブレスと前工程がほとんど無いために、世界中の大きな投資に勝てる戦略が必要である。また、上記3領域で系統立てた人材育成計画も必要である。

チップレット製造に必要な日本がもつ重要技術が大きく3つある。1つ目は、インターポーザーを使用しない「ブリッジ」と呼ぶ再配線層でのチップ間接続である。2つ目は、機械的な接続と電気的な接続を同時に達成するハイブリット接合技術である。3つ目は、マイクロビアの信頼性の確保である。

2Dチップレット集積が現在では実現されており、これからはイメージセンサーではすでに実用化されているチップレット3次元実装化の実現が進められていく。その研究開発の過程で信号遅延や電力ノイズが問題となるため、それら影響の軽減のためブリッジの採用が検討されている。また、チップレット集積の標準化を目的としたUCIeという世界的なコンソーシアムが発足した。

最後に、3D実装技術が次世代半導体の鍵となっており、3D化による熱のこもりやすさがCPU演算能力の低下や故障を引き起こすため、日本の強みである「壊れない信頼性」をもったモノづくりが世界の標準化になることに期待し、人材育成の重要性を述べていただき、本講座は終了した。（記：堤 隆嘉）