

第二十四回 Gate-All-Around Nanosheet FET Technology Features for 3nm Technology Node and Beyond

～Beyond 3-nm 世代に向けた

GAA ナノシートトランジスタ技術の展開～

望月 省吾 IBM Research

2023年9月9日(土) 9:00～

モデレータ 牧原 克典

概要

シリコンテクノロジーは、過去 50 年に亘り工学技術のみならず最先端科学としても並行して発展し、現代でデジタル化が進んでいないものを上げるのは難しいほど現代社会を支えている。これまで、シリコンテクノロジーは、新原理の導入 (CMOS) やデバイス寸法の縮小により集積度を倍化する『スケーリング (比例縮小) 則』の基本原則に基づいて、半導体デバイスの高速化・高集積化のみならず低消費電力化をも同時に達成しているが、2000 年以降では、単なる物理寸法の微細化技術に加えて、チャンネル部への歪導入技術、高誘電率ゲート絶縁膜・金属ゲート技術やマルチゲート技術等の新たな材料・デバイス構造技術の実用化が精力的に進められている。トランジスタ開発から 60 年を迎える昨今では、プレーナー型のトランジスタから Fin 構造へとモデルチェンジし、3nm のテクノロジーノード以降ではナノシートが期待されている。なお、「3nm」という名称は、チップの実サイズとは関係なく、プロセスノードの名称であり、そのフィーチャサイズのプレーナー型トランジスタと同等の性能を反映させることを意味している。

FinFET は、シリコンの膜厚を薄くすることによって、ゲート長を短くすることができるが、シリコンの膜厚がある値以下になると、量子効果によりトランジスタのしきい値にばらつきが生じはじめる。さらに薄膜化すると酸化膜とシリコン界面の影響が強くなり、電子の移動度が大きく下がる。ナノシートは FinFET に比べ、ピッチ、パターンニング、実効チャンネル幅、最小ゲート電極長など、さまざまな点で有利である。また、FinFET はパターンニングにおいて、EUV (極端紫外線) を用いた SADP (Self-aligned Double Patterning) や SAQP (Self-Aligned Quadruple Patterning) といった高度な微細化技術を用いるが、ナノシートは EUV によるシングル露光によってパターンニングが可能である。

IBM のナノシート技術で構築した GAA (Gate-All-Around) ナノシートトランジスタでは、現在生産している最先端の 7nm チップと比べて 45% の性能向上と 75% の消費電力削減を実現できる。これにより、身近なイノベーションに加え、世界のエネルギー使用量の 1 パーセントを占めるデータセンターの二酸化炭素排出量の削減にも大きく貢献できることになる。

1947 年のトランジスタの発明以降、シリコン系デバイス・プロセス技術開発が継続的に推進され、低消費電力化、超高集積度、高性能・高機能性を追求・実現することで、産業と IoT 社会の持続的発展を支えている。極最近、次世代半導体研究のための新しい研究開発組織「技術研究組合最先端半導体技術センター (Leading-edge Semiconductor Technology Center (LSTC))」が設立され、国内における半導体産業復興に追い風が吹いており、IBM における革新的なプロセス技術と最先端デバイスの機能紹介は、多くの半導体研究者・技術者が各々の垣根を越えて議論できる素晴らしい機会であった。(記: 牧原 克典)